

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196030

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 27/10
G11C 11/15
H01L 29/872
H01L 43/08

(21)Application number : 10-367145

(71)Applicant : YAMAHA CORP

(22)Date of filing : 24.12.1998

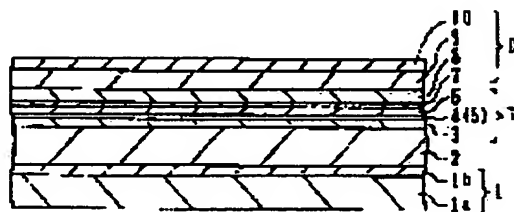
(72)Inventor : HORAI SUNAO
SHIRAKI MAKOTO
ENDO HIROSHI
HAYASHI TAKAHIRO

(54) MAGNETORESISTIVE MEMORY DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease a leakage current between adjacent magnetoresistive elements so as to lessen data errors when data are read out, by a method wherein a ferromagnetic tunnel junction structure and a diode are connected in series into a memory cell, and the memory cells are arranged and electrically insulated from one another.

SOLUTION: A ferromagnetic tunnel junction structure T composed of a Co film 3, an Al film 4, an Al₂O₃ film 5, and an NiF film 6 is formed on a silicon substrate 1 where a lower electrode 2 of Cu is formed. Furthermore, a Ti film 7 and an Al film 8 are formed thereon, and an Si film 9 doped with P and a Ti film 10 are formed. A Schottky diode D of laminated structure composed of the Ti film 7, the Al film 8, the Si film 9, and the Ti film 10 is formed. Memory cells formed as mentioned above are arranged and electrically insulated from one another. By this setup, a leakage current between adjacent magnetoresistive devices is lessened, and data errors can be lessened when data are read out.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-196030
(P2000-196030A)

(43) 公開日 平成12年7月14日 (2000.7.14)

| (51) Int.Cl. | 識別記号 | F I | テマコード(参考) |
|----------------|-------|---------------|-----------|
| H 0 1 L 27/10 | 4 5 1 | H 0 1 L 27/10 | 4 M 1 0 4 |
| G 1 1 C 11/15 | | G 1 1 C 11/15 | 5 F 0 8 3 |
| H 0 1 L 29/872 | | H 0 1 L 43/08 | Z |
| 43/08 | | 29/48 | M |

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平10-367145

(22) 出願日 平成10年12月24日 (1998. 12. 24)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 堀合 直

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72) 発明者 白木 真

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎 (外1名)

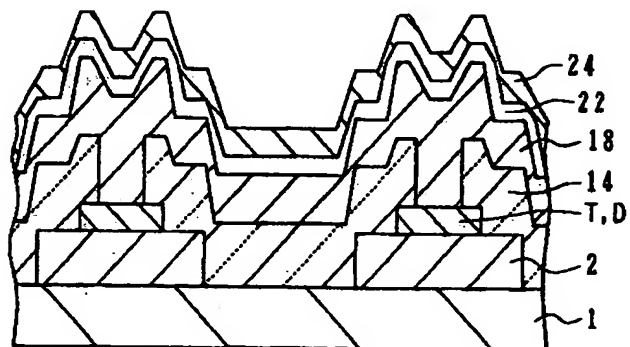
最終頁に続く

(54) 【発明の名称】 磁気抵抗メモリ装置とその製造方法

(57) 【要約】

【課題】 磁気抵抗メモリ装置に於ける隣接する磁気抵抗素子間のリーク電流を低減し、情報の書き込みや読み出しの段階において誤りが生じる可能性が低減するような構造を有する。

【解決手段】 磁気抵抗メモリ装置において、強磁性体トンネル接合構造とダイオードが直列に接続されて構成されたメモリセルが複数個配置され、かつ、これらのメモリセル同士がお互いに電気的に絶縁分離されている。



ン基板上に $\text{Co}/(\text{Al}/)\text{Al}_2\text{O}_3/\text{NiFe}$ からなる強磁性トンネル接合構造Tが形成される。

【0028】次いで、同じスパッタ装置内において、チャンパー内を $1 \times 10^{-7} \text{Torr}$ 以下まで排気した後、アルゴンガスを 4mTorr チャンパー内に導入し、同チャンパー内に装備されているTi用スパッタガン（ターゲットサイズは $126 \text{mm}\phi$ ）に 200W の直流電力を印加してTi膜7を 15nm 成膜し、次いでAlターゲットに直流電力を印加してAl層8を 300nm 成膜する。

【0029】次に、CVD法を用いてPをドーブしたSi層9を 500nm 成膜する。この際の原料ガスとしては、 SiH_4 と PH_3 ガスをを用い、基板温度 420°C で成膜を行った。

【0030】次いで、イオンプレーティング装置を用いて、Pを $5 \times 10^{15} \text{cm}^{-3}$ 打ち込み、続けて圧力が 3.6mTorr になるまでアルゴンガスをチャンパー内に導入し、Tiスパッタガン（ターゲットサイズ $126 \text{mm}\phi$ ）に 100W の直流電力を印加してTi層10を 200nm スパッタ法で成膜した。この時の成膜レートは $11 \text{nm}/\text{分}$ であった。ここで、ショットキ障壁はシリコン層9とアルミ層8との間に形成されており、シリコン層9とTi層10との間はオーミック接合となる。

【0031】以上のようにして、Cuの下電極が形成されたシリコン基板上に $\text{Co}/\text{Al}_2\text{O}_3/\text{NiFe}$ からなる強磁性トンネル接合構造T、さらにその上にAlとPをドーブしたSiからなるショットキダイオードDの積層構造が形成される。

【0032】図2に示すように、積層構造上に下電極の形状を有するフォトレジストパターン12を形成する。このフォトレジストパターン12をマスクとして用い、積層構造および下電極2をイオンミリング法によりエッチング加工する。この時のイオンガスへの投入電力は 500V 、 400mA であり、ガス圧は 0.2mTorr 、Cuのエッチング速度は $70 \text{nm}/\text{分}$ であった。イオンミリングの終了後に、アセトンを用いてフォトレジストパターン12を除去した。

【0033】図3に示すように、残った積層構造上に、磁性多層膜の形状のフォトレジストパターン13を形成する。このフォトレジストパターン13をマスクとして用い、積層構造D、Tをイオンミリング法により加工する。この時のイオンガンへの投入電力は 500V 、 400mA 、ガス圧は 0.2mTorr 、エッチング速度は $20 \text{nm}/\text{分}$ 、ビーム角度は 0° であった。

【0034】所定の形状にミリングした後、加工物の側壁に付着したいわゆる「側壁デボ物」を除去するため、前述のイオンミリング条件で、ビーム角度のみを 60° に変更して、この「側壁デボ物」を削り取った。加工した多層膜のセルのサイズは $2 \times 8 \text{ミクロン}$ である。イオンミリングが終了した後、アセトンを用いてレジス

トパターン13を除去した。

【0035】図4に示すように、パターニングした積層構造D、T、下電極2を覆って、基板1上に層間絶縁膜14として酸化珪素を成膜する。まず、エッチングが終了したウエハを真空チャンパーにセットし、これを $2 \times 10^{-6} \text{Torr}$ 以下まで排気する。次に、アルゴンガスを 5mTorr 導入する。成膜は酸化珪素のターゲット（ 126ϕ ）に高周波（ 13.56MHz ）電力 900W を投入して厚さ 1000nm の層間絶縁膜14を成膜する。この時の成膜速度は $13 \text{nm}/\text{分}$ であった。

【0036】図5に示すように、成膜した酸化珪素の層間絶縁膜14上にコンタクトホール加工用のレジストパターン15を形成する。このレジストパターン15をマスクとしてイオンミリングを行い、層間絶縁膜14を貫通するコンタクトホール16を形成した。この時のイオンガンへの投入電力は 500V 、 400mA 、ガス圧は 0.2mTorr であった。エッチング終了後アセトンを用いてレジストパターン15を除去した。

【0037】図6に示すように、コンタクトホール16を形成した層間絶縁膜14上に上電極18を形成する。まず、ウエハを、真空チャンパーにセットし、これを $2 \times 10^{-6} \text{Torr}$ 以下まで排気した。次にアルゴンガスを 5mTorr 導入する。成膜はCuターゲット（ 126ϕ ）に直流電力 200W を投入してCu層を 300nm 厚成膜した。この時の成膜速度は $30 \text{nm}/\text{分}$ であった。

【0038】図7に示すように、上電極の形状を有するレジストパターン20をCu層18上に形成する。なお、図7は下電極2の延在方向に沿った断面を示す。このレジストパターンをマスクとしてCu層18をイオンミリング法にてエッチングする。この時のイオンガンへの投入電力は 500V 、 400mA であり、ガス圧は 0.2mTorr 、エッチング速度は $70 \text{nm}/\text{分}$ である。ミリング終了後、アセトンを用いてレジストパターン20を除去した。

【0039】図8に示すように、上電極18を覆って、上部電極とワードラインとの間の層間絶縁膜22を形成する。まず、酸化珪素膜22を成膜する。エッチングが終了したウエハを真空チャンパー内にセットし、チャンパー内を $2 \times 10^{-6} \text{Torr}$ 以下まで排気する。次にアルゴンガスを 5mTorr 導入する。成膜は酸化珪素のターゲット（ $126 \text{mm}\phi$ ）に高周波電力 900W を投入して酸化珪素膜22を 100nm 厚成膜する。この時の成膜速度は $13 \text{nm}/\text{分}$ であった。

【0040】この酸化珪素膜22に必要なコンタクトホールを形成した後、ウエハを真空チャンパーにセットし、チャンパー内を $2 \times 10^{-6} \text{Torr}$ 以下まで排気する。次にアルゴンガスを 5mTorr 導入する。成膜はCuターゲット（ $126 \text{mm}\phi$ ）に 200W の電力を投入してCu層24を厚さ 300nm 成膜する。この時の成膜速

【発明が解決しようとする課題】しかしながら、強磁性トンネル接合構造を用いたMRAMアレイを、実際の記憶装置として使用する際には、単に、強磁性トンネル接合構造を用いたトンネル磁気抵抗素子をアレイ状に多数配置し、各メモリセルに対しワード線とビット線とが交差するように配線を行っただけではメモリ動作に問題が生じる。

【0011】多数の強磁性トンネル接合構造を有するメモリセルを形成し、その上部および下部に交差する配線を設けただけでは、真にアクセスする必要のあるメモリセル以外のセルにも電流が流れてしまう。このため、セルの見かけ上の抵抗変化（信号として読み出せる電圧の大きさに対応する）が低くなる。従って、情報の読み出しの段階において誤りが起こりやすくなってしまふ。

【0012】このような問題点を各セルにダイオードを直列に接続することにより解決するという提案が、米国特許第5、477、482号明細書に開示されている。同明細書には、上部配線にダイオードフィルムを用い、この上部配線が磁気抵抗（トンネル）素子を上から跨ぐように配置されているメモリセル構造が開示されている（同公報6頁）。さらに、同公報には、ダイオードフィルムは、磁気抵抗素子（stack）に電流を導入するための上部または下部のいずれかのライン（配線）に設ける旨の記載がされている。

【0013】このような構造を採用することによって、真にアクセスする必要のあるセル以外のセルには電流が流れ難くなる。アクセスを要するセルの見かけ上の抵抗変化が低くなることに起因する、情報の読み出しの段階における誤りの可能性が低減する。

【0014】しかしながら、上記の公報に開示されているような上部配線にダイオードフィルムを用いた構造では、ダイオードフィルムが隣接する磁気抵抗素子に跨がって形成される。ダイオード層内を電流がリークする恐れがあり、情報の読み出しの段階において誤りの生じる可能性を完全に解決することは困難であろう。

【0015】本発明の目的は、隣接する磁気抵抗素子間のリーク電流を低減し、情報の読み出しの段階において誤りが生じる可能性を低減することのできる磁気抵抗メモリ装置を提供することである。

【0016】

【課題を解決するための手段】磁気抵抗メモリ装置において、強磁性トンネル接合構造とダイオードとが直列に接続されて構成されたメモリセルが複数個配置され、かつ、これらのメモリセル同士が、互いに電氣的に絶縁分離される。

【0017】この磁気抵抗メモリ装置では、隣接するダイオード間における電流リークが生じない。

【0018】強磁性トンネル接合構造とダイオードとは積層構造により直列に接続されていることが好ましい。強磁性トンネル接合構造とダイオードとを縦方向に積層

すると、集積回路の集積度を向上することができる。

【0019】メモリセルをアレイ状に配置し、各強磁性トンネル接合構造にビット線を接続し、各ダイオードにワード線を接続することが好ましい。

【0020】このような磁気抵抗メモリ素子を用いてMRAMを容易に形成することができる。

【0021】

【発明の実施の形態】以下に、図面を参照して本発明の例を詳細に説明する。

【0022】本発明の第1の実施例による、強磁性トンネル接合構造とダイオードとを用いた磁気抵抗メモリ装置の製造方法について、図1から図7までを参照して説明する。

【0023】図1に示すように、シリコン基板1aの上に、シリコン酸化膜1bを形成した基板1を準備する。シリコン酸化膜1bは熱酸化膜、化学気相堆積（CVD）で形成した酸化膜、スパッタリングした酸化膜のいずれでもよい。洗浄したシリコン酸化膜1bの表面上に、まずメッキ、スパッタリング、化学気相堆積（CVD）等により、下部電極となるCu層2を成膜する。次いで、Cu下部電極層2上に強磁性トンネル接合構造を形成する。

【0024】Co、Al、NiFe、Tiターゲットを装備したスパッタ装置にCu層2を成膜した基板1をセットした。スパッタ装置のチャンバー内を 1×10^{-7} Torr以下まで排気した後、アルゴンガスを4mTorrチャンバー内に導入した。同チャンバー内に装備されているCo用スパッタガン（ターゲットサイズは126mmφ）に100Wの直流電力を印加してCo膜3を30nm成膜する。成膜速度は6nm/分である。

【0025】引き続き、このCo膜3上にAl膜4を1.8nm成膜した。Alターゲットのターゲットサイズは126mmφであり、20Wの直流電力を印加して2nm/分の成膜速度で成長させた。

【0026】Al膜4を成膜した後に、真空状態を保ったまま酸化処理を行う処理室にシリコン基板を移動させた。この酸化処理室において、所定の濃度の酸素/オゾン混合気体を導入し、所定の時間放置することにより、Al膜4の酸化処理を行い、酸化アルミニウム膜5を形成した。Al膜4の全部が酸化アルミニウム（ Al_2O_3 ）膜5となっても、その一部が酸化アルミニウム膜5となってもよい。

【0027】次いで、基板を再びスパッタリングチャンバー内に戻し、チャンバー内を 1×10^{-7} Torr以下まで排気した後、アルゴンガスを4mTorr、チャンバー内に導入し、アルミニウム酸化膜5の上に、さらにNiFe膜6を20nm成膜した。NiFeターゲットのターゲットサイズは126mmφであり、100Wの直流電力を印加して、65nm/分の成膜速度で成長させた。これにより、Cuの下電極2が形成されたシリコ

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上で一方向に沿って延在する複数の第 1 配線と、
前記複数の第 1 配線上に配置された多数のメモリセルであって各メモリセルが互いに電氣的に分離され、強磁性トンネル接合構造とダイオードとの直列接続を含む複数のメモリセルと、

前記第 1 配線の表面および接続領域以外の前記メモリセルの表面を覆って形成された絶縁層と、
前記複数のメモリセルに接続されて前記絶縁層上に配置され、前記一方向と交差する他方向に沿って延在する複数の第 2 配線とを有する磁気抵抗メモリ装置。

【請求項 2】 前記強磁性トンネル接合構造と前記ダイオードとが積層構造により厚さ方向に重ねて形成されている請求項 1 に記載の磁気抵抗メモリ装置。

【請求項 3】 前記複数のメモリセルがアレイ状に配置され、前記第 1 および第 2 配線のうち強磁性トンネル接合構造に接続されている配線がビット線を構成し、他方の配線がワード線を構成する請求項 1 または 2 に記載の磁気抵抗メモリ装置。

【請求項 4】 前記ダイオードがショットキダイオードである請求項 1～3 のいずれかに記載の磁気抵抗メモリ装置。

【請求項 5】 前記ダイオードが酸化物ダイオードである請求項 1～3 のいずれかに記載の磁気抵抗メモリ装置。

【請求項 6】 (a) 基板上に一方向に沿って延在する複数の第 1 配線を形成する工程と、

(b) 前記複数の第 1 配線上に複数のメモリセルを形成する工程であって、各メモリセルは強磁性トンネル接合構造とダイオードとの直列接続を有し、強磁性トンネル接合構造を形成するサブ工程が、酸化可能な金属層を形成することと、この金属層を酸素／オゾンの混合ガス中で酸化することを含む工程と、

(c) 前記第 1 配線と前記複数のメモリセルを覆って、前記基板上に絶縁層を形成し、絶縁層を貫通して前記複数のメモリセルの接続領域に達するコンタクト孔を形成する工程と、

(d) 前記複数のメモリセル上に、前記一方向と交差する他方向に沿って延在する複数の第 2 配線を形成する工程を含む磁気抵抗メモリ装置の製造方法。

【請求項 7】 前記工程 (b) が、前記第 1 配線上に互いに分離された強磁性トンネル接合構造を形成するサブ工程の後、その上にダイオードを形成するサブ工程を含む請求項 6 に記載の磁気抵抗メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、磁気抵抗素子を用いたメモリ装置に関し、より詳細には、磁性トンネル素

子とダイオードを用いた磁気抵抗メモリ装置に関する。

【0002】

【従来の技術】 磁気抵抗の変化を利用した磁気ヘッドならびに磁性膜のスピン方向による磁気抵抗の変化により情報の“0”または“1”を判断することの特徴とする磁気抵抗ランダムアクセスメモリ（以下「MRAM」という）用素子としては、現在、主にスピントラップの原理を用いた素子が開発されてきている。

【0003】 絶縁層を挟んだ強磁性層間のトンネル現象におけるトンネル磁気抵抗の変化を利用した磁気トンネル素子が注目されつつある。この磁気トンネル素子は、上記スピントラップを利用した素子と比較してその磁気抵抗の変化が大きく、かつ素子自体の抵抗も大きい。

【0004】 磁気トンネル素子は、薄い絶縁膜を 2 つの強磁性体膜で挟んだ構造を有している。このような強磁性体／絶縁膜／強磁性体の構造を持つトンネル接合（「強磁性トンネル接合」という）においては、両強磁性体の磁化方向の相対角度に応じてトンネル抵抗が変化する。

【0005】 佐藤らの論文、応用磁気学会誌 21、No. 42、489～492 頁（1997）によれば、トンネル抵抗の変化は強磁性体内の電子スピンの偏極化しており、電子が偏極状態を保ったままトンネルするので、偏極状態に応じて遷移（トンネル）確率が変化するためであると考えられている。

【0006】 このように電子スピンの偏極状態は保持されるため、強磁性トンネル接合構造を記憶素子として利用した MRAM も提案されている。強磁性トンネル接合構造を利用した記憶素子は、2 つの強磁性体膜内のスピンの成す角度によって、これら 2 つの強磁性体膜間を縦方向に流れるトンネル電流（磁気トンネル電流と言う）の大きさが変化するを利用する。

【0007】 印加磁場によって一方の強磁性体膜内のスピン方向を制御することによって情報を記憶し、両強磁性体膜間に所定電圧を印加した時のトンネル電流の大きさによって情報を読み出す。記憶時に印加された磁界の大きさをトンネル電流の大小により検出することにより情報を読み出すことができる。

【0008】 すなわち、強磁性トンネル接合構造を用いた MRAM では、メモリセルに記憶された“0”または“1”の情報を、各メモリセルの電気抵抗の大小により判断している。

【0009】 一般的な DRAM は、複数のワード線と複数のビット線とを互いに交差するように配置し、各交点にスイッチング素子として機能するトランジスタと情報記憶素子として機能するキャパシタとの直列接続を接続することによって構成されている。ビット線がトランジスタの一方の電流電極に接続され、ワード線がトランジスタの制御電極に接続される。

【0010】

度は30nm/分であった。Cu層24上にレジストパターンを形成し、Cu層24をミリングしてワード線を作成する。ワードラインを形成した後、必要に応じて配線用のパッドを形成してもよい。

【0041】このようにして、各強磁性トンネル接合構造とショットキダイオードとの積層構造を1つのメモリセルとし、これらのメモリセルに対してランダムに情報の書き込み、読み出しが可能なMRAM装置が完成する。

【0042】なお、ダイオードを磁気トンネル層の上に配置する場合について説明したが、逆に、ダイオードを先に（下方に）形成することも可能である。図9は、この場合の積層構造（図1に対応するもの）を示す。この積層構造は、概略以下の工程で製造できる。

【0043】（1）下電極の成膜

（2）Ti/Alの成膜

（3）PをドーピングしたSiの成膜

（4）Pのイオン注入

（5）Tiのスパッタ

（6）磁気トンネル多層膜（Co/Al₂O₃/NiFe）の形成

【0044】また、ダイオードとしてショットキダイオード以外のダイオードを用いることもできる。酸化銅を用いた酸化物ダイオードを作成する場合を以下に説明する。

【0045】図1において、トンネル磁性膜Tを成膜した後、引き続き真空状態を保ったまま同じチャンバにArガスを3.6Torr導入し、Cuターゲットに直流電力100Wを印加してCu層を200nm成膜する。この時の成膜速度は、たとえば、25nm/分であった。次に、投入電力、ガス圧は同じに保ったまま、O₂を20%混合して、Cu膜上に酸化銅膜を500nm成長する。この時の成膜速度は、たとえば、35nm/分であった。さらにこの上にAu層を200nm成膜する。

【0046】なお、このダイオード膜はショットキダイオードと同様に、磁気トンネル膜の上下どちらに配置しても良い。また、この酸化物ダイオード層に使用可能な酸化物は、酸化銅に限定されるものではなく、酸化チタン、酸化タンタル、酸化錫等の化合物を用いることも可能である。

【0047】前記強磁性トンネル接合構造と前記ダイオードとが積層構造により直列に接続されていると、MRAM装置の集積度が向上するという利点がある。

【0048】前記メモリセルがアレイ状に配置され、前記各強磁性トンネル接合構造と前記各ダイオードの端子のうち強磁性トンネル接合構造側の接続されていない方の各端子にはビット線が、ダイオード側の接続されていない方の各端子にはワード線が接続されていることが好ましい。ワード線とビット線とにより、多数形成された

メモリセルの各々にランダムにアクセスすることができ

る。
【0049】このようにして作成したダイオードを含むMRAMの特性を測定した。Siショットキダイオードの場合は、電圧を0.5V印加すると電流が立ち上がった。また、亜酸化銅を用いたダイオードの場合には、0.18Vから電流が立ち上がった。

【0050】図10に作成したMRAMセルの磁気抵抗変化特性の例を示す。完成したMRAMセルにおいて、ワードラインにピーク電流60mAのパルス電流を流し、上下磁性層の磁化の向きを一方方向に揃えた後に、同じワードラインにピーク電流5mAのパルス電流を流し、上下電極間に10mAの電流を流すと、上下電極間に5mVの応答パルスが発生した。ワードラインに流す電流の向きを変えると、後で得られるパルスの向きが変わり、情報が書き込まれていることが判った。

【0051】なお、MR特性は上記ダイオードの特性（立ち上がり電圧）には依存せず、ほぼ同じ特性であった。

【0052】なお、ダイオードとしてP-N接合を用いたダイオードを用いてMRAMメモリセルを形成しても良い。ただし、ダイオードの電流が立ち上がる電圧が約0.4Vと、ショットキダイオードの場合に比べ約2倍高いため、読み書きにかかる時間が長くなり、消費電力も大きくなるというデメリットがある。

【0053】それに比べて、ダイオードとしてショットキダイオードを用いたMRAMの場合は、読み書きにかかる時間が短くなり、消費電力も小さくなるというメリットがある。

【0054】以上、本発明の実施の形態について説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0055】

【発明の効果】以上説明したように、強磁性トンネル接合構造とダイオードが直列に接続されて構成されたメモリセルが複数個配置され、かつ、これらのメモリセル同士がお互いに電氣的に接続分離されていると、各メモリセル間での電流リークが生じず、従って、記憶情報の読み書きが正確にできる。

【0056】前記強磁性トンネル接合構造と前記ダイオードとが積層構造により直列に接続されていると、MRAM装置の集積度が向上するという利点がある。

【0057】

【図面の簡単な説明】

【図1】 本発明の実施例による磁気抵抗メモリ装置を製造する工程を示すための断面図であり、基板上に下電極と磁性多層膜およびダイオード膜が形成されている状態を示す。

【図2】 本発明の実施例による磁気抵抗メモリ装置を

製造する工程を示すための断面図であり、基板上に形成された下電極と磁性多層膜およびダイオード膜が加工されている状態を示す。

【図3】 本発明の実施例による磁気抵抗メモリ装置を製造する工程を示すための断面図であり、磁性多層膜とダイオード膜とがさらに加工されている状態を示す。

【図4】 本発明の実施例による磁気抵抗メモリ装置を製造する工程を示すための断面図であり、磁性多層膜とダイオード膜とがさらに加工された後、層間絶縁膜が成膜された状態を示す。

【図5】 本発明の実施例による磁気抵抗メモリ装置を製造する工程を示すための断面図であり、層間絶縁膜が成膜された後、コンタクトホールが形成された状態を示す。

【図6】 本発明の実施例による磁気抵抗メモリ装置を製造する工程を示すための断面図であり、層間絶縁膜上にコンタクトホールを介して上電極が成膜された状態を示す。

【図7】 本発明の実施例による磁気抵抗メモリ装置を製造する工程を示すための断面図であり、上電極をパターニングする状態を示す。

【図8】 本発明の実施例による磁気抵抗メモリ装置を製造する工程を示すための断面図であり、上電極上に層間絶縁膜とワードラインとが形成された状態を示す。

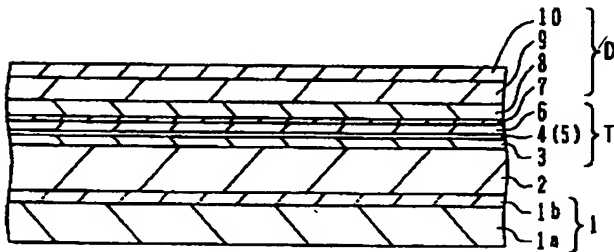
【図9】 本発明の他の実施例による磁気抵抗メモリ装置を製造する工程を示し、基板上に下電極、ダイオード膜、トンネル素子膜を形成した状態を示す。

【図10】 本発明の実施例による磁気抵抗メモリ装置のMR比の印加された磁場による変化を示したグラフである。

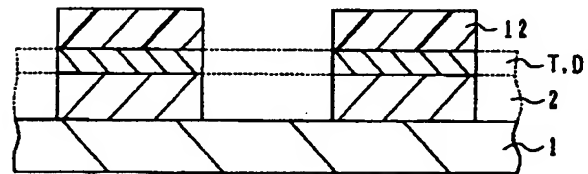
【符号の説明】

- 1 基板
- 3 下電極（ビットライン）
- 5 磁性多層膜
- 11 ダイオード膜
- 15 第1の層間絶縁膜
- 21 コンタクトホール
- 25 上電極
- 31 第2の層間絶縁膜
- 35 ワードライン
- 41 メモリセル

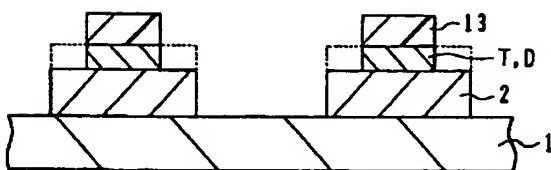
【図1】



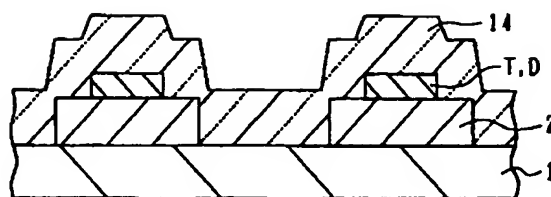
【図2】



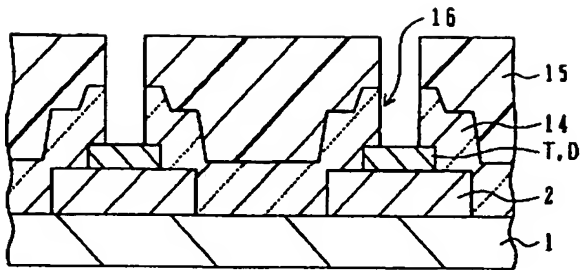
【図3】



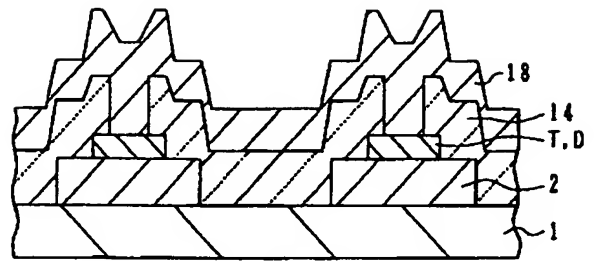
【図4】



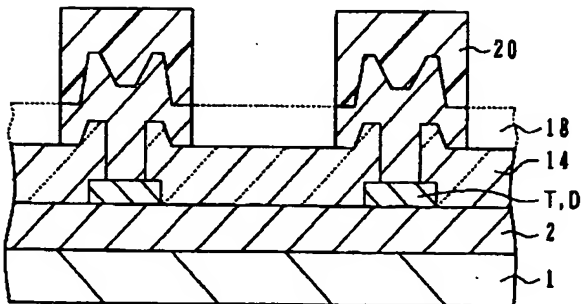
【图 5】



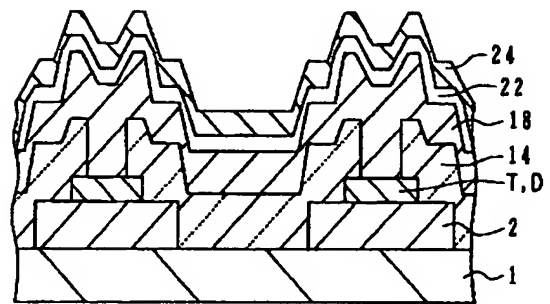
【図 6】



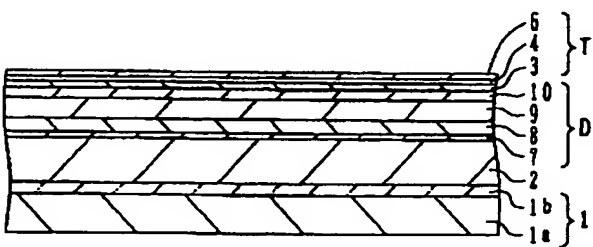
【図 7】



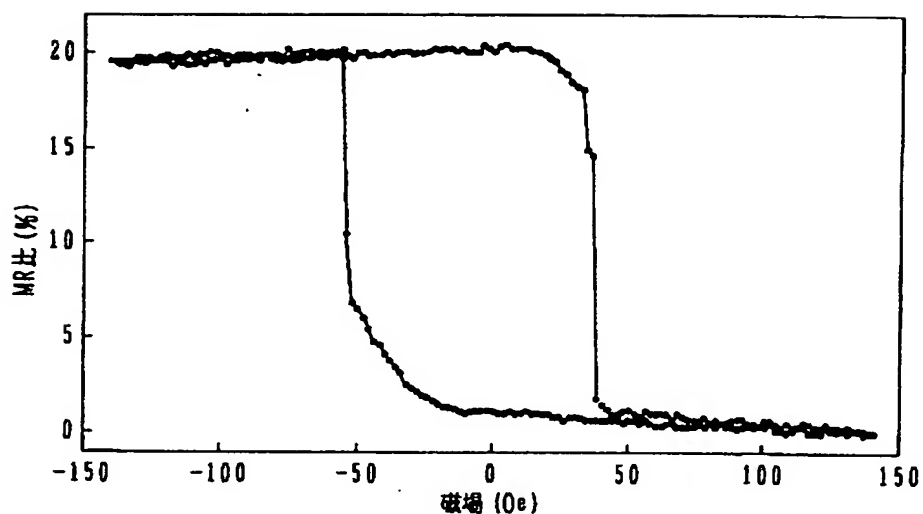
【図 8】



【図9】



【図10】



フロントページの続き

(72)発明者 遠藤 ▲博▼史

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

(72)発明者 林 高廣

静岡県浜松市中沢町10番1号 ヤマハ株式
会社内

Fターム(参考) 4M104 AA01 BB01 BB02 BB04 BB14
CC01 CC03 DD08 DD16 DD29
DD37 DD65 EE08 GG03 GG16
5F083 FZ10 GA01 GA06 GA11 GA15
JA02 JA32 JA36 JA37 JA38
JA39 JA56 PR04 PR21 PR22
PR36